

(11) 공개번호 특 1999-0071031
(43) 공개일자 1999년 09월 15일

(21) 출원번호	10-1998-0006230
(22) 출원일자	1998년 02월 26일
(71) 출원인	현대전자산업 주식회사 김영환
(72) 발명자	경기도 이천시 부발읍 아미리 산 136-1 이창근
(74) 대리인	경기도 성남시 분당구 정자동 48-7 김학제

(54) 프로그램 메모리를 업 데이트하기 위한 메모리 스위칭장치 및 제어방법

6-1

종래에는 프로그램을 마스크드(Masked) 메모리에 저장하여 사용하다가 사용중에 프로그램 내용을 변경하고자 하는 경우에는 다시 새로운 프로그램을 다른 메모리에 저장한 후 사용하였기 때문에 사용중에 프로그램이 변경되는 경우에는 추가적인 메모리의 사용으로 메모리의 비용이 추가적으로 소요될 뿐만 아니라 프로그램이 변경시마다 별도로 프로그램을 다시 작성해야 하는 번거로움이 있었다.

발명이 이루고자하는 기술적 과제

상기와 같은 문제점을 해결하기 위한 본 발명의 목적은, CPU가 동작중에도 EA PIN을 적절하게 제어함으로써, 업 데이이트하고자 하는 경우 프로그램 메모리를 데이터 메모리로 스위칭한후 프로그램을 저장한 후 다시 원래의 프로그램 메모리로 전환함으로써, 손쉽게 변경된 프로그램을 업 데이이트 할 수 있는 프로그램 메모리를 업 데이이트하기 위한 메모리 스위칭장치 및 제어방법을 제공하는데 있다.

상기와 같은 목적을 달성하기 위한 본 발명의 프로그램 메모리를 업 데이이트하기 위한 메모리 스위칭장치는, 시스템 전체를 제어하는 CPU와, 상기 CPU 내부에 설치되어 프로그램이 저장되어 있는 내부 프로그램 메모리와, 상기 CPU의 외부에 연결되어 상기 CPU로부터 출력되는 제어신호를 입력받아서 그 내부에 저장되어 있는 프로그램을 리드(read)하는 외부 프로그램 메모리와, 상기 외부 프로그램 메모리에 저장되어 있는 프로그램을 업 데이이트(Up date)하고자 하는 경우 업 데이이트된 프로그램을 상기 외부 프로그램 메모리에 저장하도록 상기 CPU의 EA PIN에 하이신호를 출력하는 프로그램 메모리 제어부로 구성되어 있는 것을 특징으로 한다.

상기와 같은 목적을 달성하기 위한 본 발명의 프로그램 메모리를 업 데이이트하기 위한 메모리 스위칭 제어방법은, 외부 프로그램 메모리에 저장되어 있는 프로그램 내용을 변경하고자 하는 경우에는, 먼저 상기 외부 프로그램 메모리에 저장되어 있는 프로그램의 변경을 요청하는 제 1단계(S1)와, 상기 제 1단계(S1)에서 프로그램 변경 요청에 따라서, 제 2 플립플롭의 출력단자(Q)에서는 CPU의 EA PIN 단자에 하이신호를 출력하는 제 2단계(S2)와, 상기 제 2단계(S2)에서 하이신호를 인가 받은 상기 CPU에서는 내부 프로그램 메모리를 선택함으로써, 새로운 프로그램 데이터로 업 데이이트하는 제 3단계(S3)와, 상기 제 3단계(S3)에서 상기 외부 프로그램 메모리에 저장되어 있는 프로그램을 새롭게 업데이이트한 후, 변경된 프로그램이 베리파이(verify)되었는지를 판단하는 제 4단계(S4)와, 상기 제 4단계(S4)에서 상기 외부 프로그램 메모리에 저장되어 있는 프로그램이 정상적으로 업 데이이트되었다고 판단하면, 제 2 플립플롭의 출력단자에서 EA PIN에 로우신호를 출력하는 제 5단계(S5)와, 상기 제 5단계(S5)에서 출력되는 EA PIN의 로우 신호를 입력받아 상기 CPU(10)에서는 외부 메모리를 선택하게 됨으로써, 상기 외부 프로그램 메모리에 저장되어 있는 프로그램이 다시 정상적인 메인 프로그램이 되어 프로그램을 변경하기 전의 정상적인 상태로 동작하게 되는 제 6단계(S6)와, 상기 제 4단계(S4)에서 프로그램이 정상적으로 변경되었는지를 판단하여 정상적으로 변경되지 않은 경우에는 오류기능 표시 램프를 토글(Toggle)시키는 제 7단계(S7)로 이루어져 있는 것을 특징으로 한다.

발명의 구성 및 작용

본 발명의 프로그램 메모리를 업 데이이트하기 위한 메모리 스위칭장치 및 제어방법에 대해서는 첨부한 도면을 참고로 상세히 기술하면 다음과 같다.

본 발명은 도 1 및 도 2에 도시된 바와 같이, 시스템 전체를 제어하는 지멘스 80C517계열인 CPU(10)와, 상기 CPU(10) 내부에 설치되어 프로그램(Program)이 저장되어 있는 내부 프로그램 메모리(20)와, 상기 CPU(10)의 외부에 연결되어 상기 CPU(10)로부터 출력되는 제어신호를 입력받아서 그 내부에 저장되어 있는 프로그램을 리드(read)하는 외부 프로그램 메모리(30)와, 상기 외부 프로그램 메모리(30)에 저장되어 있는 프로그램을 업 데이이트(Up date)하고자 하는 경우 외부에 저장되어 있는 업 데이이트된 프로그램을 상기 외부 프로그램 메모리(30)에 저장하도록 상기 CPU(10)의 EA PIN을 하이신호로 제어하는 프로그램 메모리 제어부(40)로 구성되어 있다.

그리고 상기 프로그램 메모리제어부(40)는 도 2에 도시된 바와 같이, 상기 CPU(10)로부터 출력되는 어드레스 신호(A8-A11)를 입력받아 논리곱하여 입력되는 신호가 모두 하이일 경우에 로우로 출력하는 낸드 게이트(NAND gate)(403)와, 상기 CPU(10)로부터 출력되는 어드레스 신호(A12-A15)를 입력받아 논리곱하여 입력되는 신호가 모두 하이일 경우에, 로우신호로 출력하는 낸드 게이트(401)와, 상기 낸드 게이트(401) 및 낸드 게이트(403)에서 출력되는 신호를 입력받아 논리합하여 입력되는 신호중 어느 하나라도 하이이면 하이로 출력하는 오아 게이트(OR gate)(405)와, 상기 오아 게이트(405)로부터 출력되는 신호와 CPU로부터 출력되는 라이트신호(WR)를 입력받아 이들의 신호를 논리합하는 오아 게이트(407)와, 상기 오아 게이트(407)에서 출력되는 신호를 클럭단자(CLK)에서 입력받고 상기 CPU에서 출력되는 데이터를 데이터 입력단자(D)에 입력시킴으로써 출력단자(Q)에서 입력신호를 래치(Latch)한후 출력신호(A)를 출력하는 제 1 플립 플롭(Flip flop)(409)과, 상기 CPU에서 출력되는 리셋(Reset)신호를 반전하여 출력하는 NOT 게이트(NOT gate)(410)와, 상기 NOT 게이트(410)에서 반전된 리셋 신호가 클럭단자에 입력되고, 상기 제 1 플립 플롭(409)의 출력단자에서 출력되는 출력신호(A)를 입력단자(D)에서 입력받아, 출력단자(Q)에서 상기 CPU의 EA PIN으로 하이 신호를 출력함으로써, 상기 외부 프로그램 메모리(30)에 저장되어 있는 프로그램을 업 데이이트하는 제 2 플립플롭(411)으로 구성되어 있다.

즉, 상기 CPU(10)에 연결되어 있는 상기 외부 프로그램 메모리(30)의 프로그램을 업 데이이트할 경우에는 상기 CPU(10)에서 출력되는 리셋(Reset) 신호를 인가함으로써, 상기 외부 프로그램 메모리(30)를 프로그램 모드로 동작시킬 수 있는 것이다.

상기와 같이 구성된 본 발명의 작용, 효과를 첨부된 도 1 내지 도 4를 참고하여 기술하면 다음과 같다.

사용자가 정상적으로 프로그램을 사용하다가, 여러 가지 원인으로 인해서 프로그램이 변경되거나, 업 그레이드되어 외부 프로그램 메모리(30)에 저장되어 있는 프로그램 내용을 변경하고자 하는 경우에는, 먼저 상기 외부 프로그램 메모리(30)에 저장되어 있는 프로그램의 변경을 요청하는 제 1단계(S1)와, 상기 제 1 단계(S1)에서 프로그램 변경을 요청하게 되면, 상기 CPU(10)로부터 출력되는 어드레스 신호(A8-

A11)를 낸드 게이트(403)에서 입력받아 논리곱하여 출력하고, 그리고 상기 CPU(10)에서 출력되는 어드레스 신호(A12-A15)를 낸드 게이트(401)에서 입력받아 논리곱하여 출력한다.

그리고 상기 오아 게이트(405)에서는 상기 낸드 게이트(401)와 낸드 게이트(403)에서 출력되는 신호를 입력받아 논리합한다.

이와 같이, 상기 오아 게이트(405)에서 논리합하여 출력되는 신호와 상기 CPU(10)에서 출력되는 라이트 신호(WR)를 오아 게이트(407)에서 입력받아 논리합한 후 상기 제 1 플립 플롭(409)의 클럭단자(CLK)에 출력하고, 그리고 상기 CPU(10)에서 출력되는 데이터 신호(D0)가 상기 제 1 플립 플롭(409)의 입력단자(D)에 입력되면, 상기 제 1 플립 플롭(409)의 출력단자(Q)에서는 도 3에 도시된 (라)에서와 같은 신호가 출력된다.

그리고 상기 제 1 플립 플롭(409)의 출력단자(Q)에서 출력신호(A)가 출력되면, 상기 출력신호(A)는 제 2 플립 플롭(411)의 입력단자(D)에 입력되고, 그리고 상기 CPU(10)에서 출력되는 리셋 신호(R0) 즉, 도 3의 (마)에 도시된 바와 같은 신호가 클럭단자(CLK)에 입력되면, 상기 제 2 플립 플롭(411)의 출력단자(Q)에서는 도 3의 (바)와 같은 하이신호가 출력되는 제 2단계(S2)와, 상기 제 2단계(S2)에서 출력되는 하이신호는 상기 CPU(10)의 EA PIN에 입력됨으로써, 상기 CPU(10)에서는 상기 CPU(10)의 내부에 있는 내부 프로그램 메모리(20)를 선택하게 된다.

이와 같이, 상기 CPU(10)에서 상기 내부 프로그램 메모리(20)를 선택하게 되면, 상기 외부 프로그램 메모리(30)를 데이터 메모리로하여 라이트함으로써, 새로운 프로그램 데이터로 업데이트하는 제 3단계(S3)와, 상기 제 3단계(S3)에서 상기 외부 프로그램 메모리(30)에 저장되어 있는 프로그램을 새롭게 업데이트한 후, 어드레스(Address) FFX번지에 0을 라이트(write)하고 그리고 리셋 신호를 인가하여 프로그램이 베리파이(verify)되었는지를 판단하는 제 4단계(S4)와, 상기 제 4단계(S4)에서 상기 외부 프로그램 메모리(30)에 저장되어 있는 프로그램이 정상적으로 업데이트되었다고 판단하면, 상기 도 3의 (바)에 도시된 바와 같이, 상기 제 2 플립 플롭(411)의 출력단자에서 출력되는 EA PIN의 신호가 로우로 출력되는 제 5단계(S5)와, 상기 제 5단계(S5)에서 출력되는 EA PIN의 로우 신호를 입력받아 상기 CPU(10)에서는 외부 메모리를 선택하게 됨으로써, 상기 외부 프로그램 메모리(30)에 저장되어 있는 프로그램이 다시 정상적인 메인 프로그램이 되어 프로그램을 변경하기 전의 정상적인 상태로 동작하게 되는 제 6단계(S6)와, 상기 제 4단계(S4)에서 프로그램이 정상적으로 변경되었는지 판단하여 정상적으로 변경되지 않은 경우에는 오류기능 표시 램프를 토글(Toggle)시키는 제 7단계(S7)로 이루어져 있다.

발명의 효과

상기와 같이 구성된 본 발명의 프로그램 메모리를 업데이트하기 위한 메모리 스위칭장치 및 제어방법은, 사용자가 외부 프로그램 메모리에 저장되어 있는 프로그램을 변경하거나 업데이트 시킬 경우, 특히 상기 CPU에 여분의 출력 포트(port)가 없는 경우에, CPU의 EA PIN에 하이 신호를 인가하여 상기 CPU의 내부에 있는 내부 프로그램 메모리를 선택하도록 함으로써, 엔진 전자시스템을 개발하는 과정에서 프로그램을 수정하거나 업데이트하는 경우에 적은 비용으로 에뮬레이션(Emulation)을 할 수 있는 발명이다.

(57) 청구의 범위

청구항 1

시스템 전체를 제어하는 CPU와, 상기 CPU 내부에 설치되어 프로그램이 저장되어 있는 내부 프로그램 메모리와, 상기 CPU의 외부에 연결되어 상기 CPU로부터 출력되는 제어신호를 입력받아서 그 내부에 저장되어 있는 프로그램을 리드(read)하는 외부 프로그램 메모리와, 상기 외부 프로그램 메모리에 저장되어 있는 프로그램을 업데이트(Up date)하고자 하는 경우 업데이트된 프로그램을 상기 외부 프로그램 메모리에 저장하도록 상기 CPU의 EA PIN에 하이신호를 출력하는 프로그램 메모리 제어부로 구성되어 있는 것을 특징으로 하는 프로그램 메모리를 업데이트하기 위한 메모리 스위칭장치.

청구항 2

제 1항에 있어서, 상기 프로그램 메모리제어부는 상기 CPU로부터 출력되는 어드레스 신호(A8-A11)를 입력받아 논리곱하여 입력되는 신호가 모두 하이일 경우에 로우로 출력하는 낸드 게이트(NAND gate)와, 상기 CPU로부터 출력되는 어드레스 신호(A12-A15)를 입력받아 논리곱하여 입력되는 신호가 모두 하이일 경우에 로우신호로 출력하는 낸드 게이트와, 상기 낸드 게이트 및 낸드 게이트에서 출력되는 신호를 입력받아 논리합하여 입력되는 신호중 어느 하나라도 하이이면 하이로 출력하는 오아 게이트(OR gate)와, 상기 오아 게이트로부터 출력되는 신호와 CPU로부터 출력되는 라이트신호(WR)를 입력받아 이들의 신호를 논리합하는 오아 게이트와, 상기 오아 게이트에서 출력되는 신호를 클럭단자(CLK)에서 입력받고 상기 CPU에서 출력되는 데이터를 데이터 입력단자(D)에 입력시킴으로써 출력단자(Q)에서 입력신호를 래치(Latch)한후 출력신호(A)를 출력하는 제 1 플립 플롭(Flip flop)과, 상기 CPU에서 출력되는 리셋(Reset)신호를 반전하여 출력하는 NOT 게이트(NOT gate)와, 상기 NOT 게이트에서 반전된 리셋 신호가 클럭단자에 입력되고, 상기 제 1 플립 플롭의 출력단자에서 출력되는 출력신호(A)를 입력단자(D)에서 입력받아, 출력단자(Q)에서 상기 CPU의 EA PIN으로 하이 신호를 출력함으로써, 상기 외부 프로그램 메모리에 저장되어 있는 프로그램을 업데이트하는 제 2 플립 플롭으로 구성되어 있는 것을 특징으로 하는 프로그램 메모리를 업데이트하기 위한 메모리 스위칭장치.

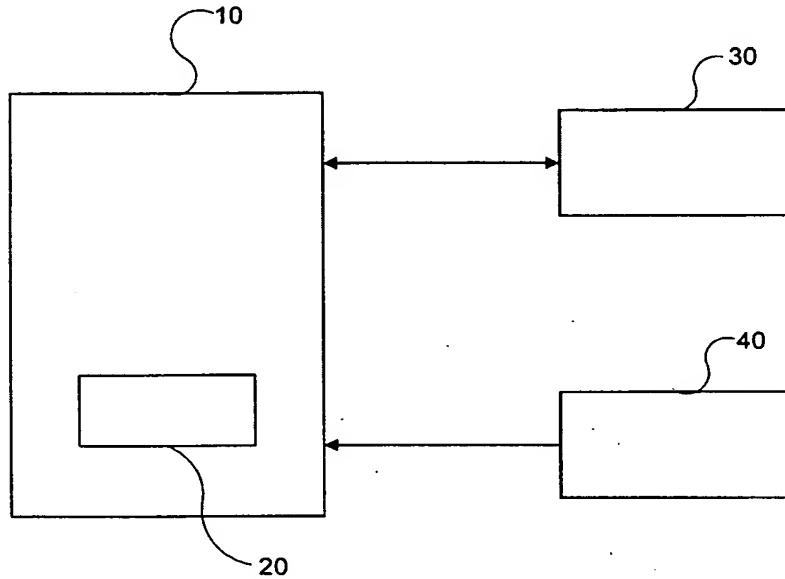
청구항 3

외부 프로그램 메모리에 저장되어 있는 프로그램 내용을 변경하고자 하는 경우에는, 먼저 상기 외부 프로그램 메모리에 저장되어 있는 프로그램의 변경을 요청하는 제 1단계(S1)와, 상기 제 1 단계(S1)에서 프로그램 변경 요청에 따라서, 제 2 플립 플롭의 출력단자(Q)에서는 CPU의 EA PIN 단자에 하이신호를 출력하는 제 2단계(S2)와, 상기 제 2단계(S2)에서 하이신호를 인가 받은 상기 CPU에서는 내부 프로그램 메모리를 선택함으로써, 새로운 프로그램 데이터로 업데이트하는 제 3단계(S3)와, 상기 제 3단계(S3)에서

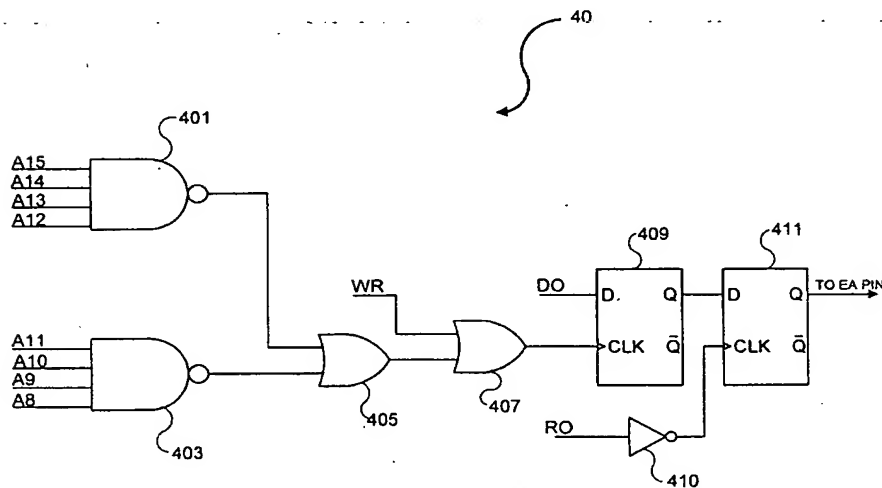
상기 외부 프로그램 메모리에 저장되어 있는 프로그램을 새롭게 업데이트한 후, 변경된 프로그램이 베리파이(verify)되었는지를 판단하는 제 4단계(S4)와, 상기 제 4단계(S4)에서 상기 외부 프로그램 메모리에 저장되어 있는 프로그램이 정상적으로 업 데이트되었다고 판단하면, 제 2 플립플롭의 출력단자에서 EA PIN에 로우신호를 출력되는 제 5단계(S5)와, 상기 제 5단계(S5)에서 출력되는 EA PIN의 로우 신호를 입력받아 상기 CPU(10)에서는 외부 메모리를 선택하게 됨으로써, 상기 외부 프로그램 메모리에 저장되어 있는 프로그램이 다시 정상적인 메인 프로그램이 되어 프로그램을 변경하기 전의 정상적인 상태로 동작하게 되는 제 6단계(S6)와, 상기 제 4단계(S4)에서 프로그램이 정상적으로 변경되었는지 판단하여 정상적으로 변경되지 않은 경우에는 오류기능 표시 램프를 토글(Toggle)시키는 제 7단계(S7)로 이루어져 있는 것을 특징으로 하는 프로그램 메모리를 업 데이트하기 위한 메모리 스위칭 제어방법.

도면

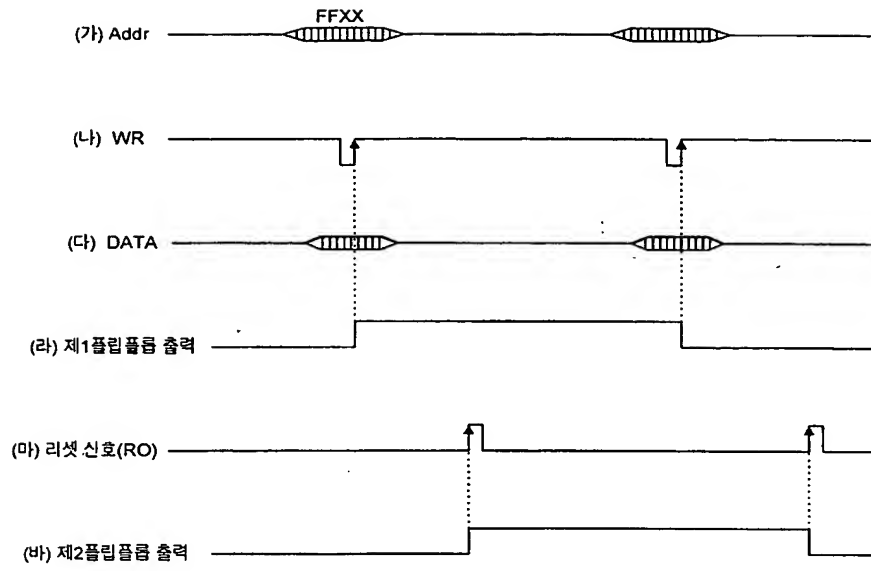
도면1



도면2



도면3



도면4

